

Spis treści

1. Wstęp	9
Wykaz ważniejszych skrótów	10
2. Symulacje układów elektronicznych z wykorzystaniem PSPICE	11
2.1. Informacje wstępne	11
2.2. Zasady ogólne składni PSPICE	11
2.3. Jednostki i zasady zapisu wartości	13
2.4. Temperatura w PSPICE	14
2.5. Modele elementów	14
2.6. Elementy z dwoma wyprowadzeniami	15
2.6.1. Rezystor	16
2.6.2. Kondensator	17
2.6.3. Cewka indukcyjna	18
2.6.4. Niezależne źródło napięciowe i prądowe	18
2.7. Podstawowe rodzaje analiz oraz sterowanie wyjściem	22
2.7.1. Analiza stałoprądowa	24
2.7.2. Analiza częstotliwościowa małosygnałowa	27
2.7.3. Analiza czasowa	29
2.8. Analizy pochodne	32
2.8.1. Analiza Fouriera	32
2.8.2. Analiza .TF	34
2.8.3. Analiza wrażliwościowa	34
2.8.4. Analiza szumowa	36
2.9. Ustalenie punktu pracy i przybliżonego punktu pracy	38
2.9.1. Polecenie .IC	38
2.9.2. Polecenie .NODESET	38
2.10. Operacje na plikach	39
2.10.1. Polecenie .INC	39
2.10.2. Polecenie .LIB	39
2.10.3. Polecenie .SAVEBIAS	39
2.10.4. Polecenie .LOADBIAS	40
2.11. Wybrane elementy półprzewodnikowe	40
2.11.1. Dioda półprzewodnikowa	40
2.11.2. Tranzystor bipolarny	41
2.11.3. Tranzystor MOS	41
2.12. Źródła sterowane napięciem	42
2.13. Źródła sterowane prądem	43
2.14. Podukłady, deklaracja i wstawienie	43

2.14.1. Deklaracja podukładu	43
2.14.2. Wstawienie podukładu	44
2.15. Deklaracja parametru	47
2.16. Analiza parametryczna	47
2.17. Operatory i funkcje wbudowane oraz deklaracja funkcji własnych	49
2.18. Analiza Monte Carlo	50
3. Wstęp do języków HDL	55
3.1. Symulacje i testowanie	56
4. Język Verilog	57
4.1. Pojęcia podstawowe	57
4.1.1. Podstawowe zasady składni języka Verilog	57
4.1.2. Operatory	57
4.1.3. Liczby	58
4.1.4. Identyfikatory	58
4.1.5. Zestaw wartości	59
4.1.6. Sieci	59
4.1.7. Rejestry	59
4.1.8. Wektory	60
4.1.9. Liczby całkowite i rzeczywiste	60
4.1.10. Tablice i pamięci	60
4.1.11. Łańcuchy	61
4.1.12. Zadania systemowe	61
4.1.13. Dyrektywy kompilatora	62
4.2. Moduły i porty	63
4.2.1. Porty	64
4.2.2. Definiowanie parametrów modułu	65
4.3. Projektowanie i modelowanie na poziomie bramek logicznych	66
4.3.1. Bramki	66
4.3.2. Opóźnienia w bramkach	67
4.4. Projektowanie i modelowanie na poziomie rejestrów	69
4.4.1. Przypisanie ciągle	69
4.4.2. Opóźnienia	70
4.4.3. Wyrażenia i operatory	70
4.5. Projektowanie i modelowanie na poziomie behawioralnym	74
4.5.1. Procedury strukturalne	74
4.5.2. Przypisanie proceduralne	74
4.5.3. Sterowanie wykonaniem instrukcji	76
4.5.4. Różnica pomiędzy przypisaniem <i>blocking</i> i <i>nonblocking</i>	76
4.5.5. Wyrażenie warunkowe <i>if</i>	77
4.5.6. Wyrażenie typu <i>case</i>	77
4.5.7. Pętle	78
4.5.8. Bloki sekwencyjne i równoległe	79
4.6. Zadania i funkcje	79

4.7. Techniki modelowania	80
4.7.1. Proceduralne przypisanie ciągle	80
4.7.2. Skala czasu	81
4.7.3. Praca z plikami	81
4.8. Verilog 2001	81
4.8.1. Blok konfiguracji	82
4.8.2. Polecenie <i>generate</i>	82
4.8.3. Nowy sposób indeksowania wektorów	82
4.8.4. Tablice wielowymiarowe	82
4.8.5. Operacje na liczbach <i>signed</i>	83
4.8.6. Inne zmiany	83
5. Język VHDL	84
5.1. Pojęcia podstawowe	84
5.1.1. Podstawowe zasady składni języka VHDL	85
5.1.2. Identyfikatory	85
5.1.3. Literały	87
5.1.4. Typ wyliczeniowy	87
5.1.5. Typ całkowity	88
5.1.6. Typy tablicowe	88
5.1.7. Typ łańcuchowy <i>string</i>	91
5.1.8. Typ <i>bit_vector</i>	91
5.1.9. Rekordy	91
5.1.10. Typ rzeczywisty	92
5.1.11. Typ fizyczny	92
5.1.12. Typy predefiniowane	92
5.1.13. Podtypy	92
5.1.14. <i>Alias</i> y	92
5.1.15. Konwersja typów	93
5.1.16. Podsumowanie najważniejszych typów danych	93
5.1.17. Biblioteki	93
5.1.18. Pakiet <i>std_logic_1164</i>	94
5.1.19. Pakiet <i>std_logic_arith</i>	95
5.1.20. Pakiet <i>std_logic_unsigned</i>	97
5.1.21. Pakiet <i>std_logic_signed</i>	97
5.1.22. Tworzenie własnego pakietu	97
5.2. Poziom strukturalny	98
5.2.1. Blok <i>entity</i>	98
5.2.2. Blok architektury	98
5.2.3. Stałe	99
5.2.4. Sygnały	99
5.2.5. Osadzanie komponentu	100
5.2.6. Polecenie <i>generate</i>	101
5.2.7. Parametry bloku <i>entity</i> (<i>generic</i>)	102
5.3. Poziom przesłań międzyrejestrów RTL	103

5.3.1. Przypisanie współbieżne	103
5.3.2. Współbieżne przypisanie warunkowe <i>when... else</i>	104
5.3.3. Przypisanie współbieżne <i>select ...when</i>	104
5.3.4. Różnice pomiędzy przypisaniem <i>when... else</i> i <i>select ...when</i>	105
5.3.5. Operatory logiczne	105
5.3.6. Operatory porównania	105
5.3.7. Operatory dodawania i konkatencji	105
5.3.8. Inne operatory	106
5.3.9. Opóźnienia	106
5.3.10. Instrukcje współbieżne i sekwencyjne	107
5.3.11. Procesy	107
5.3.12. Zmienne	108
5.3.13. Przypisanie sekwencyjne	108
5.3.14. Różnice pomiędzy sygnałem i zmienną	108
5.4. Abstrakcyjny poziom behawioralny	109
5.4.1. Wyrażenie warunkowe <i>if</i>	109
5.4.2. Wyrażenie warunkowe <i>case</i>	110
5.4.3. Polecenia pętli <i>loop</i>	110
5.4.4. Polecenie <i>next</i>	113
5.4.5. Polecenie <i>exit</i>	113
5.4.6. Podstawowe rodzaje procesów	113
5.4.7. Opóźnienia typu <i>wait</i>	115
5.5. Funkcje i procedury	116
5.5.1. Funkcje	116
5.5.2. Procedury	117
6. Podsumowanie	119
Literatura	120