

Organizacja i architektura systemu komputerowego : projektowanie systemu a jego wydajność. T. 1 / William Stallings. – Warszawa, 2022

Spis treści

Przedmowa	xi
O Autorze	xx
CZĘŚĆ PIERWSZA WPROWADZENIE	1
Rozdział 1 Podstawowe pojęcia i ewolucja komputerów	1
1.1. Organizacja i architektura	2
1.2. Struktura i działanie	3
1.3. Komputer IAS	12
1.4. Bramki, komórki pamięci, układy i moduły wieloukładowe	17
1.5. Ewolucja architektury Intel x86	24
1.6. Systemy wbudowane	26
1.7. Architektura ARM	31
1.8. Podstawowe pojęcia, pytania sprawdzające i zadania	37
Rozdział 2 Koncepcje wydajności	40
2.1. Projektowanie zorientowane na wydajność	41
2.2. Wielordzeniowość, MIC i GPGPU	47
2.3. Prawo Amdahla i prawo Little'a	49
2.4. Podstawowe miary wydajności komputera	52
2.5. Obliczanie wartości średniej	55
2.6. Benchmarki i SPEC	64
2.7. Podstawowe pojęcia, pytania sprawdzające i zadania	73
CZĘŚĆ DRUGA SYSTEM KOMPUTEROWY	80
Rozdział 3 Widok najwyższego poziomu na działanie i połączenia wewnętrzne komputera	80
3.1. Zespoły komputera	81
3.2. Działanie komputera	84
3.3. Struktury połączeń wzajemnych	98
3.4. Połączenie magistralowe	100
3.5. Połączenia punkt-punkt	102
3.6. PCI Express	107
3.7. Podstawowe pojęcia, pytania sprawdzające i zadania	116
Rozdział 4 Hierarchia pamięci: lokalność i wydajność	122
4.1. Zasada lokalności	123
4.2. Charakterystyka systemów pamięci	129
4.3. Hierarchia pamięci	132

4.4. Modelowanie wydajności wielopoziomowej hierarchii pamięci	140
4.5. Podstawowe pojęcia, pytania sprawdzające i zadania	147
Rozdział 5 Pamięć podręczna	152
5.1. Koncepcje pamięci podręcznej	153
5.2. Elementy projektowania pamięci podręcznej	157
5.3. Organizacja pamięci podręcznej Intel x86	183
5.4. Organizacja pamięci podręcznej IBM z13	186
5.5. Modele wydajności pamięci podręcznej	188
5.6. Podstawowe pojęcia, pytania sprawdzające i zadania	192
Rozdział 6 Pamięć wewnętrzna	198
6.1. Półprzewodnikowa pamięć główna	199
6.2. Korekcja błędów	209
6.3. DDR DRAM	214
6.4. eDRAM	220
6.5. Pamięć flash	222
6.6. Nowsze technologie nieulotnej pamięci półprzewodnikowej	225
6.7. Podstawowe pojęcia, pytania sprawdzające i zadania	229
Rozdział 7 Pamięć zewnętrzna	234
7.1. Dysk magnetyczny	235
7.2. RAID	246
7.3. Dyski SSD	257
7.4. Pamięć optyczna	260
7.5. Taśma magnetyczna	266
7.6. Podstawowe pojęcia, pytania sprawdzające i zadania	269
Rozdział 8 Wejście/wyjście	273
8.1. Urządzenia zewnętrzne	275
8.2. Moduły we-wy	278
8.3. Programowane we-wy	281
8.4. We-wy sterowane przerwaniem	284
8.5. Bezpośredni dostęp do pamięci	295
8.6. Bezpośredni dostęp do pamięci podręcznej	301
8.7. Kanały we-wy i procesory	309
8.8. Standardy interfejsów zewnętrznych	311
8.9. Struktura we-wy IBM z13	315
8.10. Podstawowe pojęcia, pytania sprawdzające i zadania	318
Rozdział 9 Obsługa systemów operacyjnych	324
9.1. Przegląd systemu operacyjnego	325
9.2. Szeregowanie czasowe	337
9.3. Zarządzanie pamięcią	344
9.4. Zarządzanie pamięcią Intel x86	356
9.5. Zarządzanie pamięcią ARM	361
9.6. Podstawowe pojęcia, pytania sprawdzające i problemy	367

CZĘŚĆ TRZECIA ARYTMETYKA I LOGIKA	373
Rozdział 10 Systemy liczbowe	373
10.1. System dziesiętny	374
10.2. Pozycyjne systemy liczbowe	375
10.3. System binarny	376
10.4. Konwersja między systemem binarnym i dziesiętnym	377
10.5. Notacja szesnastkowa	380
10.6. Podstawowe pojęcia i zadania	382
Rozdział 11 Arytmetyka komputera	384
11.1. Jednostka arytmetyczna i logiczna	385
11.2. Reprezentacja liczb całkowitych	386
11.3. Arytmetyka liczb całkowitych	392
11.4. Reprezentacja zmiennoprzecinkowa	408
11.5. Arytmetyka zmiennoprzecinkowa	417
11.6. Podstawowe pojęcia, pytania sprawdzające i zadania	426
Rozdział 12 Cyfrowe układy logiczne	432
12.1. Algebra Boole'a	433
12.2. Bramki	438
12.3. Układy kombinacyjne	441
12.4. Układy sekwencyjne	460
12.5. Programowalne urządzenia logiczne	470
12.6. Podstawowe pojęcia i zadania	474
Dodatek A Magistrale systemowe	479
A.1. Struktura magistrali	480
A.2. Hierarchie wielomagistralowe	482
A.3. Elementy projektu magistrali	484
Dodatek B Koncepcje Pamięci Podręcznej Ofiar	488
B.1. Pamięć podręczna ofiar	489
B.2. Selektywna pamięć podręczna ofiar	492
Dodatek C Pamięć z przeplotem	493
Dodatek D Międzynarodowy Alfabet Referencyjny	496
Dodatek E Stosy	499
E.1. Stosy	500
E.2. Implementacja stosu	501
E.3. Sposoby zapisywania wyrażeń	503
Dodatek F Procedury Rekurencyjne	506
F.1. Rekurencja	507
F.2. Reprezentacja drzewa aktywacji	508
F.3. Implementacja stosu	514

F.4. Rekurencja i iteracja	515
----------------------------	-----

Dodatek G Zagadnienia dodatkowe dotyczące przetwarzania potokowego rozkazów	518
--	------------

G.1. Tablice rezerwacji przetwarzania potokowego	519
G.2. Bufory zmiany kolejności	526
G.3. Algorytm Tomasula	530
G.4. Tablica wyników	535

Słownik	539
----------------	------------

Odwołania literaturowe	551
-------------------------------	------------

Indeks	561
---------------	------------

oprac. BPK